

PROCESSING CAPABILITY DECENTRALIZATION SYSTEM

Patent number: JP8202667
Publication date: 1996-08-09
Inventor: KUMAKURA TAKASHI
Applicant: NEC COMMUNICATION SYST
Classification:
- international: G06F15/16; G06F15/16; G06F9/46; G06F11/20
- european:
Application number: JP19950010534 19950126
Priority number(s): JP19950010534 19950126

[View INPADOC patent family](#)

Abstract of JP8202667

PURPOSE: To display the maximum capability that a multiprocessor system has without depending upon the numbers or traffic intensity of subscribers and trunks by changing processors which handle call control over subscriber circuits or trunk circuits. **CONSTITUTION:** Respective processors 40-4k are equipped with LP parts and MP parts, and when the multiprocessor is initialized, the processor 40, for example, is registered as a main processor and the call control acceptance part 402 of the MP part 401 of this main processor accepts a call from SB/TK accommodated in NEs 10 and 20. The call control distribution part 403 checks the use rates of the LP parts of the respective processors 40-4k registered in a load control table 404 and distributes the traffic to the multiprocessor system according to the respective load states. A substitution control part 405 switches the registered main processor so that when the main processor gets out of order, its processor substitutes for the main processor.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-202667

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16	3 8 0 Z			
	4 6 0 B			
	4 7 0 B			
9/46	3 4 0 D			
	3 6 0 C			

審査請求 有 請求項の数 3 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平7-10534

(22)出願日 平成7年(1995)1月26日

(71)出願人 000232254

日本電気通信システム株式会社
東京都港区三田1丁目4番28号

(72)発明者 熊倉 隆志

東京都港区三田一丁目4番28号 日本電気
通信システム株式会社内

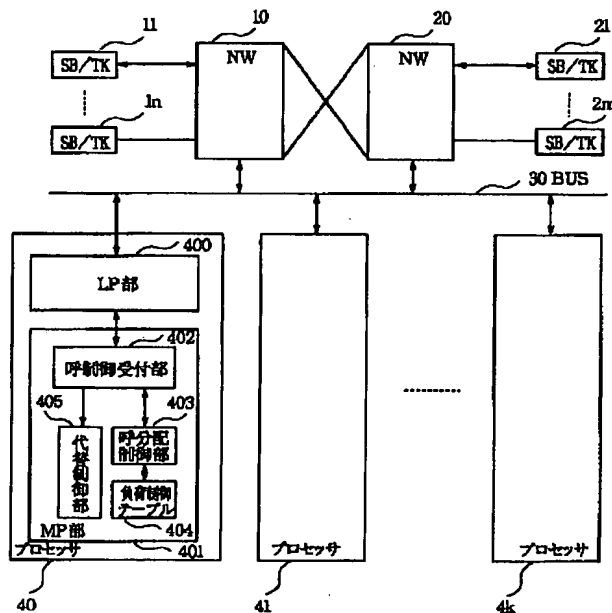
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 処理能力分散方式

(57)【要約】

【目的】 加入者回路またはトランク回路の呼制御を扱うプロセッサを可変とすることにより、加入者およびトランクの数量または呼量に依存せずマルチプロセッサシステムが保有する最大能力を発揮することができるようにする。

【構成】 各プロセッサ40～4kはLP部とMP部とを備え、マルチプロセッサシステムの初期設定時に例えばプロセッサ40をメインプロセッサとして登録し、このメインプロセッサのMP部401における呼制御受付部402はNW10、20に收容されているSB/TKからの呼を受け付ける。呼制御分配部403は負荷制御テーブル404に登録された各プロセッサ40～4kのLP部の使用率を調べてそれぞれの負荷状況に応じてマルチプロセッサシステムへのトラフィックを分配する。代替制御部405は登録されたメインプロセッサが故障の際に自プロセッサがこのメインプロセッサの機能を代替処理するために切り替える。



【特許請求の範囲】

【請求項1】 複数のプロセッサが共通バスを通して複数の通話路装置と接続された構成のマルチプロセッサシステムにおいて、前記各プロセッサはローカルプロセッサ部とメインプロセッサ部とを備え、前記マルチプロセッサシステムの初期設定時に前記複数のプロセッサのうち1つのプロセッサをメインプロセッサとして登録し、このメインプロセッサの前記メインプロセッサ部は前記通話路装置に収容された加入者および中継線からの呼を受け付ける呼制御受付手段と、前記メインプロセッサ以外の前記プロセッサの負荷状況に応じて前記マルチプロセッサシステムへのトラフィックを前記各プロセッサの前記ローカルプロセッサ部に分配する呼分配制御手段とを備えることを特徴とする処理能力分散方式。

【請求項2】 前記各プロセッサの前記メインプロセッサ部は登録された前記メインプロセッサが故障の際に自プロセッサが前記メインプロセッサの機能を代替処理するために切り替える代替制御手段を備えることを特徴とする請求項1記載の処理能力分散方式。

【請求項3】 前記各プロセッサの前記ローカルプロセッサ部は前記メインプロセッサからのポーリングを監視して前記ポーリングが無いとき前記メインプロセッサが故障であると判定することを特徴とする請求項2記載の処理能力分散方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は処理能力分散方式に関し、特に少なくとも1台のメインプロセッサと少なくとも2台のローカルプロセッサとが共通バスを通して複数の通話路装置と接続された構成のマルチプロセッサシステムが保有する処理能力を最大限効率的に発揮させる処理能力分散方式に関する。

【0002】

【従来の技術】 従来のこの種のマルチプロセッサシステムの構成例について説明する。

【0003】 従来のマルチプロセッサシステムの第1の例として、例えば特開平3-245259号公報および特開平3-174647号公報に所載のマルチプロセッサシステムを挙げることができる。

【0004】 この第1の従来例のうち、前者は共通バスを介して共通記憶装置をアクセスしてシステムの管理・制御を行うことが可能な中央処理装置を固定化せず稼働率に応じて移管する構成とした負荷分散型のマルチプロセッサシステムである。

【0005】 また、後者はシステムの負荷状態に応じてマスタプロセッサの数を増減制御する負荷分散型のマルチプロセッサシステムである。

【0006】 次に、図5は従来のマルチプロセッサシステムの第2の例を示すシステムブロック図である。

【0007】 図5を参照すると、このマルチプロセッサ

システムは、4段リンク構成の通話路装置(NW)50, 60, 70および80と、それぞれNW50, 60, 70, 80対応に配備されたローカルプロセッサ(LP)100, 110, 120, 130と、共通バス(BUS)90を通してLP100, 110, 120, 130と接続されるメインプロセッサ(MP)140および150とから構成され、呼接続処理負荷の分散を図るLP100, 110, 120, 130とは異なる機能を分担するMP140, 150を配備することによって機能分散を行っている。なお、NW50には加入者回路またはトランク回路(SB/TK)51, ..., 5nが収容され、NW80にはSB/TK81, ..., 8mが収容されている。

【0008】 次に、図6は従来のマルチプロセッサシステムの第3の例を示すシステムブロック図である。

【0009】 図6を参照すると、NW10, 20は上記第2の従来例におけるNWの大容量化が進んだ通話路装置であり、このNW10とBUS30を通して接続されるMP160および複数のLP170, ..., 17kがフロー制御(半固定化)されて設置され、負荷分散-機能分散併用型システムとなっている。なお、NW10にはSB51, ..., 5nが収容され、NW20にはSB/TK21, ..., 2mが収容されている。

【0010】

【発明が解決しようとする課題】 この第1の従来例と、第2, 第3の従来例内の負荷分散部分とでは、ローカルプロセッサは制御する通話路装置と対応しているの、局建時の負荷バランスは通話路装置に収容される加入者数またはトランク数が負荷分散のパラメータとなり、加入者やトランクの呼量により特定のローカルプロセッサに負荷が偏る傾向が強く、収容替え工事が多発するなど、システムの処理能力への柔軟性が低いという問題点があった。

【0011】 一方、近年のサービスの高度化に伴いソフトウェア構造が複雑化しており、機能分散する手法が一般的となってきたが、上記第2, 第3の従来例のうち機能分散部分により保守系処理、信号処理、呼制御処理などにそれぞれ専用のプロセッサを設置するので、各プロセッサの処理能力のバランスが崩れる。したがって、マルチプロセッサシステムが保有している処理能力を十分発揮することができないという問題点があった。

【0012】 また、専用のプロセッサを設置するため、そのいずれかの故障が直ちに全システムに影響を与えて信頼性が低下するという問題点があった。

【0013】 本発明の目的は、加入者回路またはトランク回路の呼制御を扱うプロセッサを可変とすることにより、加入者およびトランクの数量または呼量に依存せずマルチプロセッサシステムが保有する最大能力を発揮することができるようにした処理能力分散方式を提供することにある。

【0014】

【課題を解決するための手段】本発明によれば、複数のプロセッサが共通バスを通して複数の通話路装置と接続された構成のマルチプロセッサシステムにおいて、前記各プロセッサはローカルプロセッサ部とメインプロセッサ部とを備え、前記マルチプロセッサシステムの初期設定時に前記複数のプロセッサのうち1つのプロセッサをメインプロセッサとして登録し、このメインプロセッサの前記メインプロセッサ部は前記通話路装置に収容された加入者および中継線からの呼を受け付ける呼制御受付手段と、前記メインプロセッサ以外の前記プロセッサの負荷状況に応じて前記マルチプロセッサシステムへのトラヒックを前記各プロセッサの前記ローカルプロセッサ部に分配する呼分配制御手段とを備えることを特徴とする処理能力分散方式が得られる。

【0015】また、前記各プロセッサの前記メインプロセッサ部は登録された前記メインプロセッサが故障の際に自プロセッサが前記メインプロセッサの機能を代替処理するために切り替える代替制御手段を備えることを特徴とする処理能力分散方式が得られる。

【0016】さらに、前記各プロセッサの前記ローカルプロセッサ部は前記メインプロセッサからのポーリングを監視して前記ポーリングが無いとき前記メインプロセッサが故障であると判定することを特徴とする処理能力分散方式が得られる。

【0017】

【実施例】次に、本発明について図面を参照して説明する。

【0018】図1は本発明の一実施例を示すマルチプロセッサシステムのシステムブロック図である。

【0019】図1を参照すると、本実施例のマルチプロセッサシステムは、SB/TK11, ..., 1nを収容するNW10と、SB/TK21, ..., 2mを収容するNW20と、BUS30を通してNW10および20と接続される複数のプロセッサ40, 41, ..., 4kとから構成されている。

【0020】そして各プロセッサ、例えばプロセッサ40はメインプロセッサ部(MP部)401とローカルプロセッサ部(LP部)400とを備え、MP部401はSB/TK11, ..., 1n, 21, ..., 2mからの呼を受け付ける呼制御受付部402と、メインプロセッサとして登録されたプロセッサ40以外のプロセッサ41, ..., 4k(ローカルプロセッサとなって各SB/TKの呼制御を行う)のローカルプロセッサ部(LP部)の負荷状況に応じてマルチプロセッサシステムへのトラヒックを各LP部に分配する呼分配制御部403と、全LP部の中の最大使用率と最小使用率とを書き込む負荷制御テーブル404と、メインプロセッサとして登録されたプロセッサ40が故障の際に各プロセッサ41, ..., 4kがプロセッサ(メインプロセッサ)40の機能を代替

処理するために切り替える代替制御部405とを備えている。

【0021】なお、他のプロセッサ41, ..., 4kもプロセッサ40と同様の内部構成を有している。また、LP部400の機能と、呼制御受付部402, 呼制御分配部403, 代替制御部405を含むMP部401の機能とは、一般にソフトウェア処理により実施される。

【0022】続いて、本実施例と動作について図2, 図3および図4を併用して説明する。図2は図1における呼制御受付部の動作の流れを示すフローチャート、図3は図1における呼制御分配部の動作の流れを示すフローチャート、図4は図1における代替制御部の動作の流れを示すフローチャートである。

【0023】まず、図4を併せ参照して呼制御受付処理について説明する。

【0024】システム再開の初期設定時に呼制御受付部402はプロセッサ40, 41, ..., 4kのいずれかがメインプロセッサとして登録してあるかどうかを調べる(ステップS201)。

【0025】S201でNo、つまりメインプロセッサが未登録であれば、最若番のプロセッサ40がメインプロセッサとして登録され(S202)、すべてのSB/TK11, ..., 1n, 21, ..., 2mからの呼の報告先をプロセッサ(メインプロセッサ)40とし(S203)、プロセッサ40が呼制御を受け付ける。

【0026】なお、S201でYes、つまり既にプロセッサ40がメインプロセッサとして登録してあれば、上記の処理は終了となる。

【0027】次に、図3を併せ参照してメインプロセッサによる呼制御分配処理について説明する。

【0028】プロセッサ40の呼制御分配部403は負荷制御テーブル404からプロセッサ40, ..., 43の中で最大使用率(HI OCC)のプロセッサを求め、このHI OCCが50%(標準値)以上であるか50%未満であるかを調べる(S301)。

【0029】そして、S301でNo、つまりHI OCCが50%未満であればプロセッサ40, 41, 42, 43の各LP部を順に選択して呼を分配する。また、S301でYes、つまりHI OCCが50%以上であれば呼制御分配部403は負荷制御テーブル404から最小使用率のプロセッサ(LOLPN)を選択して呼を分配する。

【0030】これによって、本実施例のマルチプロセッサシステムはネットワーク呼量に柔軟に対応することができる。

【0031】次に、図4を併せ参照してメインプロセッサによる代替制御処理について説明する。

【0032】図4(a)に示すように、プロセッサ40, 41, 42, 43の各LP部が処理を実行する(S401)。そして全プロセッサの各LP部の処理の実行

が終了すれば(S401でYes)代替制御は行われな
い。

【0033】S401でNo、つまりプロセッサ40、
41、42、43のいずれかのLP部の処理が未終了で
あれば、メインプロセッサのMP部は各LP部の使用率
を問い合わせる(S402)。この問い合わせに対し各LP
部はそれぞれ使用率を計算してメインプロセッサのM
P部に報告する(S403)。

【0034】メインプロセッサ(プロセッサ40)のM
P部401では、報告された各LP部の中の最大使用率 10
を負荷制御テーブル404に登録し(S404)、次い
で各LP部の中で最小使用率のLP番号LOLPNを負
荷制御テーブル404に登録する(S405)。

【0035】そしてS401に戻り、上記S402から
S405までの手順をS401でYesになるまで繰り返す。

【0036】一方、プロセッサ40、41、42、43
のLP部は、図4(b)に示すようにメインプロセッサ
からの周期的なポーリングを監視して、ポーリングの有
無を調べる(S406)。

【0037】そして、ポーリングがあれば(S406で
Yes)メインプロセッサは正常であると判断する。ま
た、ポーリングが無ければ(S406でNo)メインプ
ロセッサは異常であると判断して、図2に示したS20
1からS203までの手順の処理を実行し、直ちにメイ
ンプロセッサの代替切替えを行うので、システムの信頼
性が向上する。

【0038】なお、メインプロセッサでは、上記呼分配
のための負荷制御テーブル404への各ラインプロセッ
サの使用率の書込みも行われる。

【0039】

【発明の効果】以上説明したように本発明は、複数のプ
ロセッサが共通バスを通して複数の通話路装置と接続さ
れた構成のマルチプロセッサシステムにおいて、各プロ
セッサはローカルプロセッサ部とメインプロセッサ部と
を備え、このマルチプロセッサシステムの初期設定時に
複数のプロセッサのうち1つのプロセッサをメインプロ
セッサとして登録し、このメインプロセッサのメインプ
ロセッサ部は通話路装置に収容された加入者および中継
線からの呼を受け付ける呼制御受付手段と、メインプロ
セッサ以外のプロセッサの負荷状況に応じてマルチプロ
セッサシステムへのトラヒックを各プロセッサのローカ

ルプロセッサ部に分配する呼分配制御手段とを備えるこ
とにより、システムへの呼量に起因するトラヒック条件
に柔軟に対応することができるので、マルチプロセッサ
システムが保有する最大能力を発揮させることができる
という効果を有する。

【0040】また、各プロセッサのメインプロセッサ部
は登録されたメインプロセッサが故障の際に自プロセッ
サがメインプロセッサの機能を代替処理するために切り
替える代替制御手段を備えることにより、単一のメイ
ンプロセッサの故障がシステムに与える影響を最小限に留
めることができるので、マルチプロセッサシステムの信
頼性が著しく向上するという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すマルチプロセッサシ
ステムのシステムブロック図である。

【図2】図1における呼制御受付部の動作の流れを示す
フローチャートである。

【図3】図1における呼制御分配部の動作の流れを示す
フローチャートである。

20 【図4】図1における代替制御部の動作の流れを示すフ
ローチャートである。

【図5】従来のマルチプロセッサシステムの一例を示す
システムブロック図である。

【図6】従来のマルチプロセッサシステムの他の例を示
すシステムブロック図である。

【符号の説明】

10、20、50、60、70、80 通話路装置
(NW)

11、1n、21、2m、51、5n、81、8m

30 加入者回路またはトランク回路(SB/TK)

30、90 共通バス(BUS)

40、41、40k プロセッサ

100、110、120、130、170、17k

ローカルプロセッサ(LP)

140、150、160 メインプロセッサ(MP)

400 ローカルプロセッサ部(LP部)

401 メインプロセッサ部(MP部)

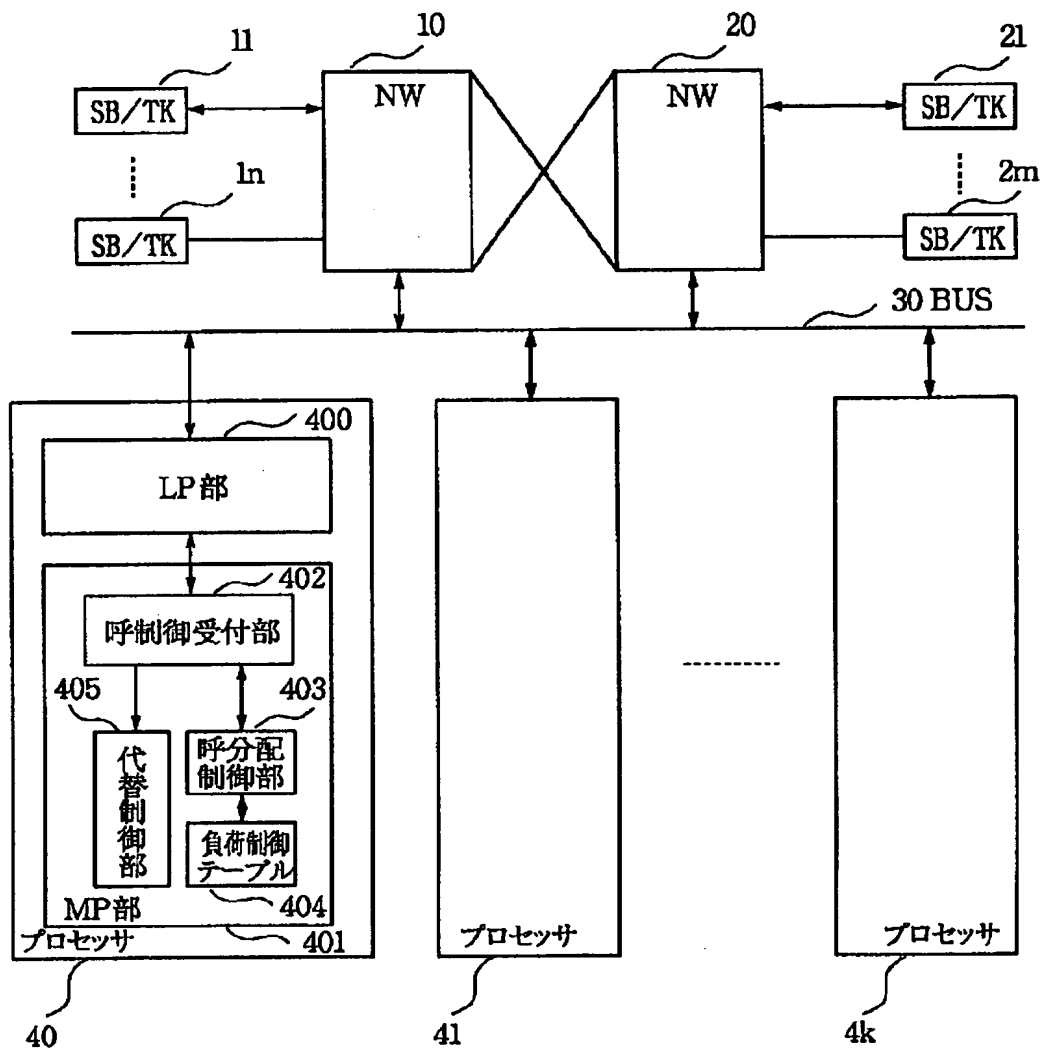
402 呼制御受付部

403 呼制御分配部

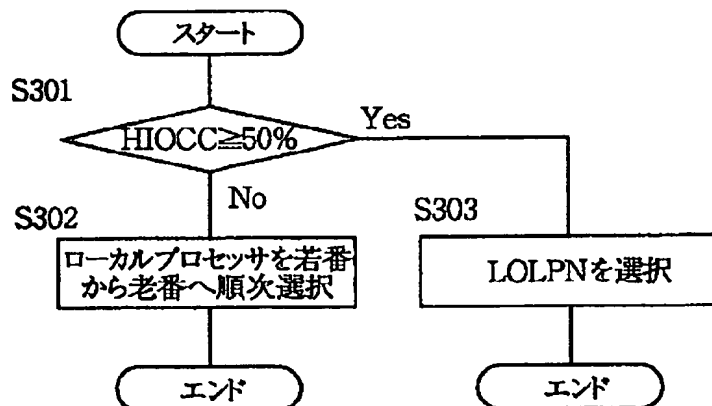
40 404 負荷制御テーブル

405 代替制御部

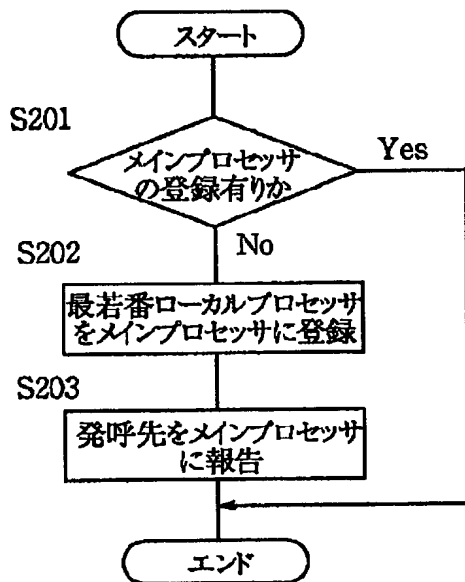
【図1】



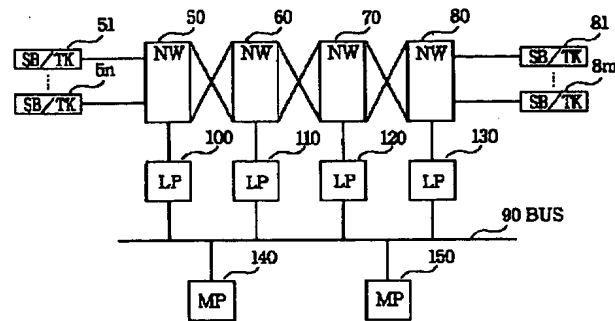
【図3】



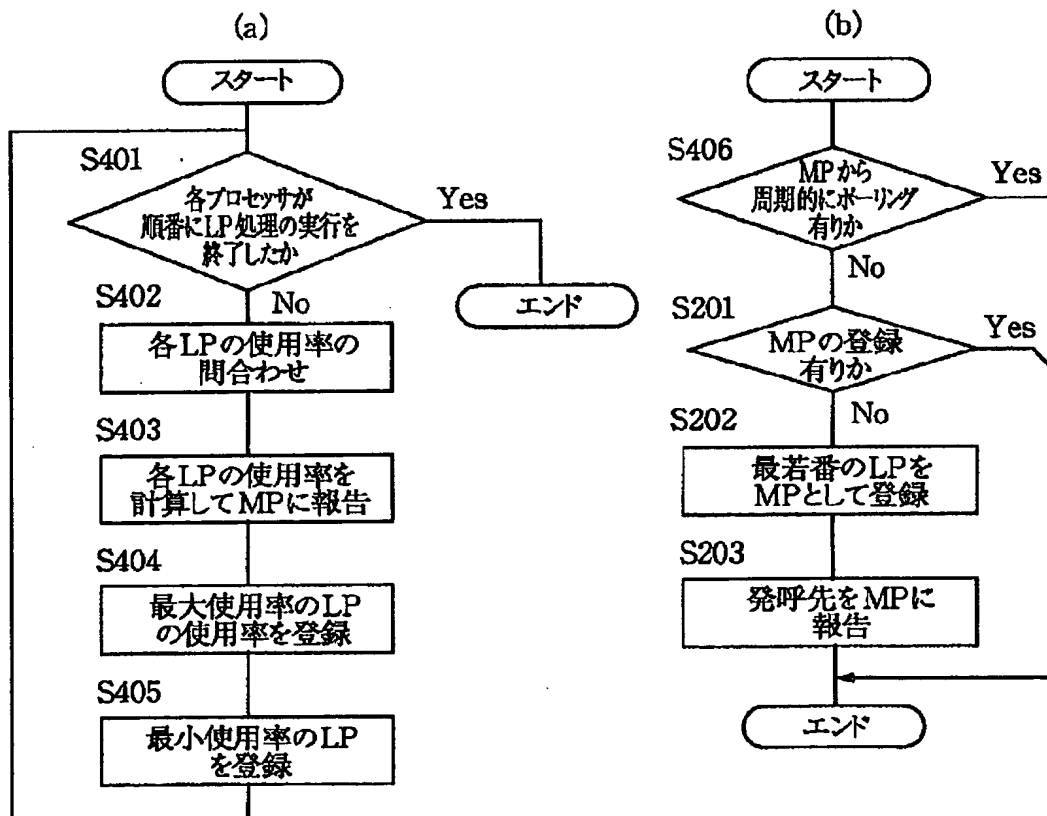
【図2】



【図5】



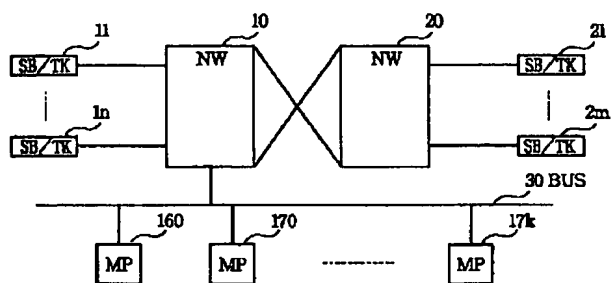
【図4】



LP: ローカルプロセッサ

MP: メインプロセッサ

【図6】



フロントページの続き

(51) Int. Cl. 6

G 0 6 F 11/20

識別記号 庁内整理番号

3 1 0 A

F I

技術表示箇所